

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平4-337666

(43) 公開日 平成4年(1992)11月25日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/115

G 1 1 C 16/02

H 0 1 L 27/04

A 8427-4M

8831-4M

9191-5L

H 0 1 L 27/10

4 3 4

G 1 1 C 17/00

3 0 7 Z

審査請求 未請求 請求項の数 3 (全 4 頁) 最終頁に続く

(21) 出願番号

特願平3-137053

(22) 出願日

平成3年(1991)5月14日

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 田中 勉

埼玉県所沢市大字下富字武野840番地 シ

チズン時計株式会社技術研究所内

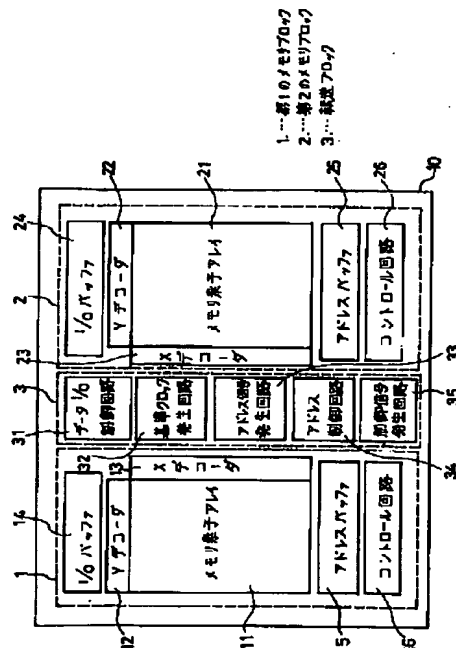
(54) 【発明の名称】 半導体不揮発性メモリとその書き込み方法

(57) 【要約】

(修正有)

【構成】 第1の膜厚のゲート絶縁膜を有するメモリ素子により構成する第1のメモリブロック1と、この第1の膜厚よりも厚い第2の膜厚のゲート絶縁膜を有するメモリ素子により構成する第2のメモリブロック2と、第1のメモリブロック1から第2のメモリブロック2へデータを転送書き込みするための転送ブロック3とによって構成する。

【効果】 電気的に書き換え可能な半導体不揮発性メモリにおいて、従来のようなゲート絶縁膜の膜厚がすべて同じメモリ素子だけで構成されたメモリでは、実現不可能な高速書き込み性と長期間のデータ保持性との両方を合わせ持たせることができ、半導体不揮発性メモリの応用範囲を大幅に広げることができる。



1

【特許請求の範囲】

【請求項1】 第1の膜厚のゲート絶縁膜を有するメモリ素子により構成する第1のメモリブロックと、この第1の膜厚よりも厚い第2の膜厚のゲート絶縁膜を有するメモリ素子により構成する第2のメモリブロックと、この第1のメモリブロックから第2のメモリブロックへデータを転送書き込みするための転送ブロックとを有することを特徴とする半導体不揮発性メモリ。

【請求項2】 メモリ素子がMONOS（金属-酸化膜-窒化膜-酸化膜-半導体）構造の素子であることを特徴とする請求項1に記載の半導体不揮発性メモリ。

【請求項3】 第1のメモリブロックに外部からデータを書き込み、その後この第1のメモリブロックから第2のメモリブロックへデータを転送書き込みすることを特徴とする半導体不揮発性メモリの書き込み方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電氣的に書き換え可能な半導体不揮発性メモリと、その書き込み方法とに関する。

【0002】

【従来の技術とその課題】 従来の半導体不揮発性メモリは、すべて同一の膜厚になるように作られたゲート絶縁膜を有するメモリ素子で構成され、単一または複数のメモリ素子ブロックからなるメモリブロックで構成されている。

【0003】 従来技術による、すべて同一膜厚のゲート絶縁膜を有するメモリ素子によって構成された半導体不揮発性メモリは、ゲート絶縁膜の膜厚を薄くするとデータ書き込み時間は短くなるもののデータ保持時間も短くなり、逆にゲート絶縁膜の膜厚を厚くするとデータ保持時間は伸びるもののデータ書き込み時間も長くなってしまふ。したがって、高速書き込みと長期間のデータ保持との両立は不可能である。

【0004】 本発明は、上記のように両立させることが不可能な高速書き込み性と長期間のデータ保持性とを合わせ持った半導体不揮発性メモリの構成と、その書き込み方法とを提供することを目的としている。

【0005】

【課題を解決するための手段】 上記の目的を達成するために本発明においては、下記記載の構成と方法とを採用する。

【0006】 本発明における半導体不揮発性メモリは、第1の膜厚のゲート絶縁膜を有するメモリ素子により構成する第1のメモリブロックと、この第1の膜厚よりも厚い第2の膜厚のゲート絶縁膜を有するメモリ素子により構成する第2のメモリブロックと、第1のメモリブロックから第2のメモリブロックへデータを転送書き込みするための転送ブロックとを有する。

【0007】 本発明における半導体不揮発性メモリの書

2

き込み方法は、第1のメモリブロックに外部からデータを書き込み、その後、この第1のメモリブロックから第2のメモリブロックへデータを転送書き込みする。

【0008】

【実施例】 以下本発明の実施例を図面を用いて説明する。図1は、本発明の実施例における半導体不揮発性メモリを示すブロック図である。図1に示すように半導体不揮発性メモリ10は、第1のメモリブロック1と、第2のメモリブロック2と、これら第1のメモリブロック1と第2のメモリブロック2との入出力を制御し、且つこれら2つの第1のメモリブロック1と、第2のメモリブロック2との間でデータの転送書き込みを行う転送ブロック3とによって構成する。

【0009】 さらに、第1のメモリブロック1および第2のメモリブロック2は、それぞれ第1のメモリ素子アレイ11と第2のメモリ素子アレイ21、第1のYデコーダ12と第2のYデコーダ22、第1のXデコーダ13と第2のXデコーダ23、第1のI/Oバッファ14と第2のI/Oバッファ24、第1のアドレスバッファ15と第2のアドレスバッファ25、および第1のコントロール回路16と第2のコントロール回路26とによって構成する。このうち第1のメモリ素子アレイ11と第2のメモリ素子アレイ21とは、異なる膜厚のゲート絶縁膜を有するメモリ素子で構成する。すなわち、第1のメモリブロック1内の第1のメモリ素子アレイ11に用いるメモリ素子に比べ、第2のメモリブロック2内の第2のメモリ素子アレイ21に用いるメモリ素子の方がゲート絶縁膜の膜厚が厚くなるようにしている。

【0010】 本実施例では、第1のメモリ素子アレイ11と第2のメモリ素子アレイ21とは、ともにMONOS構造のメモリ素子を用いて構成している。

【0011】 図2の断面図に、このMONOS構造のメモリ素子のゲート絶縁膜の構造を模式的に示す。ゲート絶縁膜は、ゲート電極41側より、トップ酸化膜42と、シリコン窒化膜43と、トンネル酸化膜44とからなる3層構造の絶縁膜で構成する。

【0012】 MONOS構造のメモリ素子では、図2に示す、ゲート絶縁膜の膜厚によって書き込み速度とデータ保持時間とが異なり、ゲート絶縁膜の膜厚が薄くなると高速に書き込めるものの、データ保持時間が短くなるのが、実験より実証されている。したがって、図1に示す、ゲート絶縁膜が薄いメモリ素子を備える第1のメモリブロック1は、高速書き込みができるがデータ保持時間が短い。これに対して第1のメモリブロック1内のメモリ素子よりゲート絶縁膜の膜厚が厚いメモリ素子を備える第2のメモリブロック2は、高速書き込みは出来ないもののデータ保持時間が長い。

【0013】 実験による具体例では、高速書き込み性を持たせるためにゲート絶縁膜の膜厚を薄くしたメモリ素子では、書き込み時間約10マイクロ秒でデータ保持時

3

間約500時間であった。これに対してデータ保持性を優先させるためにゲート絶縁膜の膜厚を厚くしたメモリ素子では、書き込み時間約10ミリ秒でデータ保持時間10年以上が得られている。

【0014】また転送ブロック3は、外部とのデータバスと第1のI/Oバッファ14と第2のI/Oバッファ24とを接続して、データの入出力を制御するデータI/O制御回路31と、転送書き込み時のタイミングを決定する基本クロックを発生する基準クロック発生回路32と、転送書き込みを行うアドレスを決めるためのアドレス信号発生回路33と、外部のアドレスバスと第1のアドレスバッファ15と第2のアドレスバッファ25とに接続され、アドレスの選択と出力先の選択を行うアドレス制御回路34と、ライトイネーブル信号などのクロック信号を発生する制御信号発生回路35とによって構成する

【0015】続いて、上記構成の半導体不揮発性メモリの書き込み方法について述べる。まず外部からのデータの書き込みは、第1のメモリブロック1に対して行われるが、このとき、外部からのアドレス信号はアドレス制御回路34によって第1のアドレスバッファ16に伝達され、第1のXデコーダ13と第1のYデコーダ12とによって、第1のメモリ素子アレイ11の一部分を選択する。同様に、外部からの制御信号は制御信号発生回路35によって第1のコントロール回路16に伝達され、またデータはデータI/O制御回路31を通して第1のI/Oバッファ14に入力され、選択された第1のメモリ素子アレイ11のメモリ素子に書き込まれる。このときの書き込み時間は、第1のメモリ素子アレイ11のメモリ素子に使われているゲート絶縁膜の膜厚が比較的薄い

ため高速で書き込みができる。

【0016】次に、この半導体不揮発性メモリが外部からアクセスされていない時間を利用して、第1のメモリブロック1から第2のメモリブロック2へ転送書き込みを行う。外部からアクセスされているかどうかは、チップ・イネーブル信号などで行うことができる。

【0017】転送書き込みは、転送ブロック3を用いて第1のメモリブロック1からデータを読み出し、このデータを第2のメモリブロック2へ書き込む。このとき、第1のメモリブロック1からの読み出しタイミングや、第2のメモリブロック2への書き込みタイミングなどは、転送ブロック3内の基準クロック発生回路32で作られた基本クロックをもとに制御信号発生回路34で決定される。第2のメモリブロック2への書き込みは高速で行う必要はないので、基本クロックを遅くして消費電力を抑えることができる。アドレス信号発生回路33は、アドレスゼロからメモリの最大アドレスまで単純に増加する信号を発生すれば良く、簡単なカウンタ回路で実現できる。アドレス制御回路34は、アドレス信号発生回路33によって作られたアドレスを第1のアドレス

4

バッファ15、および第2のアドレスバッファ16の両方に出力する。

【0018】第1のメモリブロック1の選択されたアドレスのメモリ素子に記憶されているデータは、第1のI/Oバッファ14と、データI/O制御回路31とを通過して第2のI/Oバッファ24に転送され、第2のメモリブロック2の選択されたメモリ素子に書き込まれる。このとき、データI/O制御回路31は、外部へのデータ出力をハイインピーダンスの状態にする。

【0019】第2のメモリブロック2のメモリ素子アレイ21に転送書き込みされたデータは、第2のメモリ素子アレイ21を構成するメモリ素子のゲート絶縁膜の膜厚が厚いため、非常に長い期間にわたりデータを保持することができる。

【0020】この半導体不揮発性メモリからの通常の読み出しは、第2のメモリブロック2から行う。この場合には、外部から与えられたアドレス信号と制御信号とは、それぞれアドレス制御回路34と制御信号発生回路35とによって、第2のアドレスバッファ25と第2のコントロール回路26のみに伝達され、データI/O制御回路31は第2のI/Oバッファ24の出力を外部のデータバスに出力する。

【0021】データ書き込み直後にデータ確認のための読み出しが行われるシステムで使用される場合や、転送書き込みを行う前に読み出しが行われた場合には、データは第1のメモリブロック1から第1のI/Oバッファ14と、データI/O制御回路31とを通して読み出される。

【0022】また、転送書き込みの途中でアクセスが入った場合は、転送書き込みは即座に中断され、このアクセスがデータ読み出しの場合は転送中のアドレスは転送書き込みを継続するまで保留とされ、書き込みの場合にはアドレスはゼロにクリアーされる。

【0023】転送書き込みが、まだ行われていないか、実行中か、中断されているか、終了しているかの状態は、制御信号発生回路35に記憶されていて、その記憶を基にして上記のようないろいろな場合に応じた制御信号を発生する。

【0024】この実施例では、メモリ素子アレイを構成するメモリ素子としてMONOS構造のメモリ素子で説明を行ったが、MNOS（金属—窒化膜—酸化膜—半導体）構造のメモリ素子でも適用できる。

【0025】

【発明の効果】以上説明したように、本発明によれば、電気的に書き換え可能な半導体不揮発性メモリにおいて、従来のようなゲート絶縁膜の膜厚がすべて同じメモリ素子だけで構成されたメモリでは実現不可能な高速書き込み性と長期間のデータ保持性との両方を合わせ持たせることができ、半導体不揮発性メモリの応用範囲を大幅に広げることができる。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体不揮発性メモリを示すブロック図である。

【図2】本発明の半導体不揮発性メモリにおけるメモリ素子アレイを構成するメモリ素子の構造を示す断面図である。

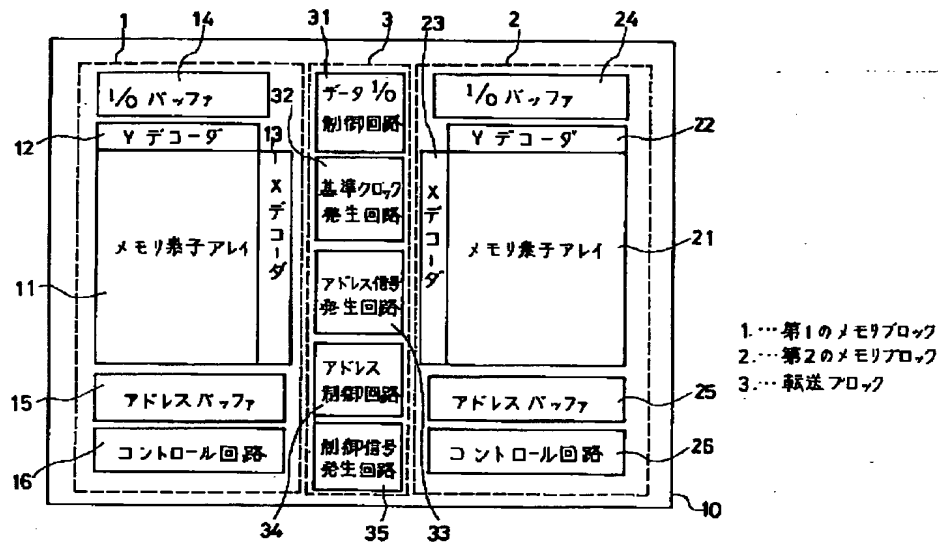
【符号の説明】

- 1 第1のメモリブロック
2 第2のメモリブロック

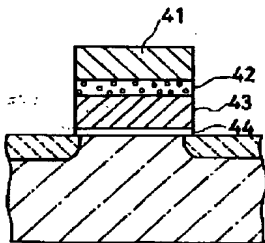
3 転送ブロック

- 11 第1のメモリ素子アレイ
21 第2のメモリ素子アレイ
31 データI/Oコントロール回路
32 基準クロック発生回路
33 アドレス信号発生回路
34 アドレス制御回路
35 制御信号発生回路

【図1】



【図2】



フロントページの続き

(51) Int. Cl.⁵

H01L 29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M

H01L 29/78

371

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平4-291644

(43) 公開日 平成4年(1992)10月15日

(51) Int.Cl. ⁵	識別記号	弁内整理番号	F I	技術表示箇所
G 0 6 F 12/16	3 1 0 M	7629-5B		
G 1 1 C 11/405		8526-5L	G 1 1 C 11/34	3 7 1 F

審査請求 未請求 請求項の数1(全 3 頁)

(21) 出願番号 特願平3-56479

(22) 出願日 平成3年(1991)3月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 山形 博健

神奈川県小田原市国府津2880番地 株式会

社日立製作所小田原工場内

(74) 代理人 弁理士 小川 勝男

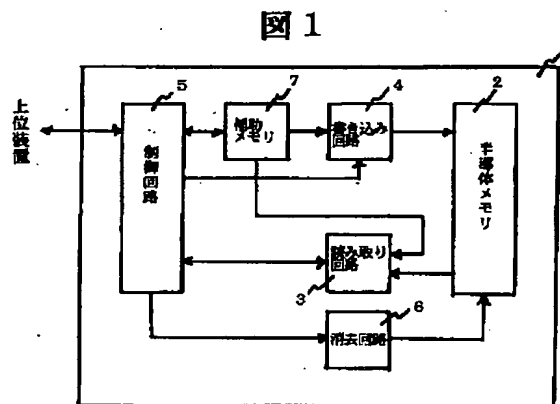
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】情報の不揮発化と高速書き込みを実現した半導体記憶装置を提供する。

【構成】半導体記憶装置1のデータ記憶用の半導体メモリ2にEEPROMを用い、高速に書き込み可能な補助メモリ7を備え、上位装置にたいして、書き込みは一旦補助メモリ7に行ない、補助メモリ7から半導体メモリ2へのデータの受渡しは制御回路5により行ない、補助メモリ7もしくは直接半導体メモリ2のデータを保持している方より読出しを行なう。

【効果】上位装置とのアクセス時間を短縮する。



【特許請求の範囲】

【請求項1】 上位からの命令によって装置内を制御する手段と、データを保持する不揮発性半導体メモリと、上位からの書き込みデータを保持する揮発性補助メモリを持つ半導体記憶装置で、上記制御手段は、上位装置からの書き込みデータを、前記揮発性補助メモリに一旦格納し、前記揮発性補助メモリ内の未記憶な記憶エリアが予め設定した値以下に達するか、もしくは一定時間上位装置より前記半導体記憶装置に命令がなかった場合に、前記揮発性補助メモリ内のデータを前記不揮発性半導体メモリに転送し、上位装置からの読出し命令があった場合、前記揮発性補助メモリ内に目的のデータが存在する時には当該揮発性補助メモリよりデータを転送し、前記揮発性補助メモリに目的のデータがない場合は、上位装置に前記不揮発性半導体メモリよりデータを転送することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶装置に関し、とくに記憶装置の不揮発化に有効な技術に関するものである。

【0002】

【従来の技術】従来半導体記憶装置は、特開昭63-100555号公報に記載のように半導体メモリ自体に揮発性メモリを使用しているため、不揮発化のために内蔵の小型磁気ディスク装置にデータを退避していた。

【0003】

【発明が解決しようとする課題】従来技術は、装置の電源遮断時、内蔵ディスク装置にデータを一度に退避する必要があり、例えば半導体メモリの記憶容量が80メガバイトの場合で約3.5分を要する。装置内にはこのデータ退避動作期間中電源を供給するためのバッテリーを内蔵する必要があるが、半導体メモリの容量を大きくするとバッテリー部の形状が大きくなるとともにディスク記録装置を含め、装置全体を今までの外形寸法に収納できないという問題があった。また、電源投入時は内蔵ディスク装置から半導体メモリへデータを復元する必要がある、このデータ復元動作中は装置内のデータは上位装置からアクセスできないという問題もあった。

【0004】本発明の目的は、大容量で、情報の不揮発化と高速書き込みを実現した半導体記憶装置を提供することである。

【0005】

【課題を解決するための手段】上記目的を達成するために、半導体メモリとして従来のDRAMに代えて電源遮断後もデータを消失せず、再書き込み可能なEEPROMを使用し、高速に書き込み可能な補助メモリを設けたものである。

【0006】

【作用】本発明によると、電源投入時、不揮発性半導体

メモリ(EEPROM)内にはデータがそのまま保持されているので非常に短時間でデータアクセスが可能となる。該半導体記憶装置を立ち上げ後、上位装置からのデータ読み取り指示は不揮発性半導体メモリから直接データを読み取り回路によって読み取ることによって実行される。また、データの書き込み指示は一度補助メモリ内にデータを書き込むことで該半導体記憶装置の動作は一度終了し、該半導体記憶装置が上位装置から使用されていない状態で補助メモリから不揮発性半導体メモリへ消去回路と書き込み回路によって書き込むことによって終了する。上記によって、電源遮断時のデータ保持は不揮発性半導体メモリ(EEPROM)自体で行う。

【0007】

【実施例】本発明では半導体メモリに不揮発性のEEPROM(エレクトリカル・イレーザブル&プログラマブル・リード・オンリー・メモリ)を用いるが、EEPROMは、単位書き込み動作に数十msもの比較的長い時間を費やす必要がある。これに対して通常のRAMでは単位書き込み動作に数百nsもあれば十分である。従って、上記のようにEEPROMの書き込み時間はマイクロコンピュータシステム等にとっては極めて長い時間となるのである。そこで通常のRAMを補助メモリに用い、上位装置からの書き込みデータを一時的に格納し、上位装置の書き込み動作の速度に対応するのである。

【0008】以下、本発明の一実施例を図面を用いて説明する。図1は半導体記憶装置1の概略機能ブロック図である。半導体記憶装置1は、半導体記憶装置1の主メモリでありデータ不揮発性である半導体メモリ2と、上位装置から転送された書き込みデータを半導体メモリ2が格納する前に一時的に格納する補助メモリ7と、半導体メモリ2もしくは補助メモリ7よりデータを読みだす読み取り回路3と、半導体メモリ2へ書き込みデータを書き込む書き込み回路4と、半導体記憶装置1内を制御する制御回路5と、制御回路5の命令で半導体メモリ2のデータを消去する消去回路6とで構成される。半導体記憶装置1への電源が投入されると、装置内の各部に同時に電源が供給され、電源供給を受けた制御回路5は各部の診断を自動的に実行し、正常であれば上位装置に対し準備完了状態とする。この状態で上位装置から読み取り指示を受けると、指定されたアドレスのデータを読み取り回路3を介して半導体メモリ2のデータを上位装置へ送る。また、上位装置から書き込み指示を受けると、データは高速に書き込み可能な補助メモリ7へ書き込み、上位装置からの書き込み指示動作を終了する。こうして、上位装置からの指示待ち状態となるが、一定時間以上過ぎても次の指示がない場合か、補助メモリ7の余りエリアが一定値以下になると、補助メモリ7のデータを半導体メモリ2へ書き込み回路4を介して書き込む。この際必要ならば、予め前のデータを消去回路6によって消去しておく。尚、読み取り指示されたデータが補助

メモリ7にある場合は、データは補助メモリ7から読みだされる。

【0009】本発明によりデータ退避用の内蔵ディスク装置およびバッテリーが不要となるので、装置の外形寸法を従来のものよりも小型化できる。また、EEPROMに書き込まれたデータは電源断となっても消えることなく、電源投入後短時間でアクセスできる。

【0010】

【発明の効果】本発明によって、アクセス時間を従来の小型磁気ディスク装置の約85msに比べ、約100倍早い約0.35msにできる。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体記憶装置の概略機能ブロック図

【符号の説明】

- 1…半導体記憶装置
- 2…半導体メモリ
- 3…読み取り回路
- 4…書き込み回路
- 5…制御回路
- 6…消去回路
- 7…補助メモリ

【図1】

